

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-129494

(43)Date of publication of application : 22.05.1989

(51)Int.Cl.

H05K 3/42

(21)Application number : 62-287388

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.11.1987

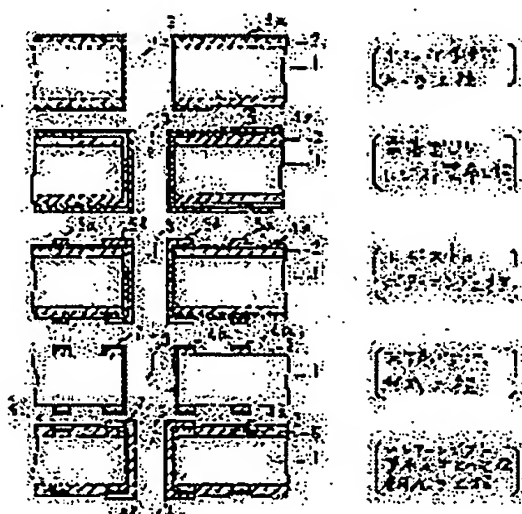
(72)Inventor : FUJITA SHIGERU
IZUMI SHUSAKU

(54) MANUFACTURE OF PRINTED CIRCUIT BOARD

(57)Abstract:

PURPOSE: To decrease defective voids, and to manufacture a high-density printed circuit board through a rational process by a method wherein a through-hole is formed in a copper-clad laminated board, chemical copper plating is attached thinly, a fine circuit pattern is formed by a photo-resist, and second chemical copper plating in specified thickness is conducted only on a land and the through-hole.

CONSTITUTION: A through-hole 3 is formed to a substrate on which a copper foil 2 is laminated, and a copper plating film 4a in film thickness of 0.5 μ m is shaped. An electrodeposition type UV resist 5 is applied onto the whole surface, the resists on surface circuit pattern sections 5a, through-hole sections 5b and a land are cured and resist patterns are shaped, a copper layer is removed through etching, using the resists 5a, 5b as masks, a circuit pattern is formed, and the resists are removed. Lastly, a cured film 6 consisting of a UV solder resist is left on the main surface of the substrate with the exception of a land section 7 and the through-hole 3, and a copper plating layer 4b is shaped onto the surfaces of the land section 7 and the through-hole 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-129494

⑫ Int. Cl.
H 05 K 3/42

識別記号 庁内整理番号
A-7454-5F

⑬ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 プリント回路板の製造方法

⑮ 特 願 昭62-287388

⑯ 出 願 昭62(1987)11月16日

⑰ 発 明 者 藤 田 繁 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑱ 発 明 者 和 泉 修 作 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

プリント回路板の製造方法

2. 特許請求の範囲

1. 銅張り積層板の所定位置に貫通孔を設ける工程；次いで前記貫通孔内壁面を含む前記基板全面に第1の化学銅めっきを施す工程；前記貫通孔を含む前記基板全面にホトレジストを塗布し、所定の回路パターンを得るためのマスクを介して露光、現像及びエッチングの各処理を経て所定の回路パターンを形成する工程；次いで前記回路パターン上に残留する前記ホトレジストを除去する工程；更に前記貫通孔と前記貫通孔開口部に存するランド部とを除いた前記回路パターンを含む基板の全面にソルダーレジスト膜を形成する工程；及び前記貫通孔とランド部に第2の化学銅めっきを施す工程から成ることを特徴とするプリント回路板の製造方法。

2. 上記第1の化学銅めっき工程の後に続くホ

トレジスト塗布工程として、電着型UVレジストを用い電着塗布することを特徴とする特許請求の範囲第1項記載のプリント回路板の製造方法。

3. 上記ソルダーレジスト膜を形成する工程として、感光性ソルダーレジストを上記基板全面に塗布し、上記貫通孔を含む上記ランド部をマスクして露光及び現像処理することにより、前記貫通孔と前記貫通孔開口部に存するランド部とを除いた前記回路パターンを含む基板全面に前記感光性ソルダーレジストの硬化膜を形成することを特徴とする特許請求の範囲第1項もしくは第2項記載のプリント回路板の製造方法。

4. 上記ソルダーレジスト膜を形成する工程として、スクリーン印刷により、上記貫通孔とランド部とを除いた上記回路パターンを含む基板全面にソルダーレジスト膜を形成することを特徴とする特許請求の範囲第1項記載のプリント回路板の製造方法。

5. 上記第1の化学銅めっきの厚さを少なくとも0.5 μ m析出させることを特徴とする特許請求の

範囲第1項、第2項、第3項もしくは第4項記載のプリント回路板の製造方法。

6. 上記感光性ソルダーレジストとして、UVソルダーレジストを用いることを特徴とする特許請求の範囲第3項記載のプリント回路板の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、プリント回路板、特に高密度プリント回路板に好適な製造方法の改良に関する。

〔従来の技術〕

従来、UVレジストを用いた貫通孔を有するプリント回路板の製造法は、貫通孔を有する銅張り積層基板の全面に、化学銅めっき及びその上に電気めっきを行い、そのUVレジスト（紫外線による感光レジスト）を全面にコーティングし、露光、現像及びエッチングの各処理を行ういわゆるサブトラクト法と呼ばれる回路形成法である。この方法の欠点は、貫通孔に所定の銅めっきを行うためには、表面回路となる基板主表面の銅箔表面全面

に硬化し、現像により除去すべき部分のレジストが残存してしまうということである。このままランド及び貫通孔に化学銅めっきを行うと、レジスト残存部分にめっきが付着せず、いわゆるボイド不良になってしまう。この解決法として、本発明者らは、先に基板表面の回路形成部分に予め回路を形成しておき、次いで回路部分と貫通孔に第1次の化学めっきを行い、その後ソルダーレジストをランド及び貫通孔を除いた基板全面に塗布する方法を提案（特願昭62-31548）したが、これは回路パターン形成と感光性ソルダーレジストの形成工程間に第1次の化学めっきを行うため工程が煩雑となり作業性の上から問題があった。

〔発明が解決しようとする問題点〕

上記従来技術は、UVレジストの最大の特徴である微細パターン形成が、全面に銅が厚く形成されるため（銅箔厚みと化学めっき及び電気めっき厚みとを加算）、結果的に微細パターンの形成に限度があった。また、本発明者らの先の提案により微細パターン化は達成されるものの工程の煩雑

にも、同様な厚みの銅めっきが行われ表面回路部分の厚みは、銅箔厚みと銅めっき厚みとを加算したものになり、通常70～80 μ mの厚さとなってしまう。これにUVレジストをコーティングし、露光、現像及びエッチングを行うと銅層の厚みが厚いため、エッチングファクターが大きくなり細線微細パターン加工がしづらく、特に高密度回路パターンの形成において信頼性の向上が望まれていた。この種の製造法に関連するものとして、実務表面技術Vol.34、第6号 1987年 第51～55頁が挙げられる。

また、銅張り積層板に予め貫通孔と貫通孔開口部のランド部及びランドに続く回路パターンが主表面に形成された基板の全面に感光性ソルダーレジストをコーティングし、ランド及び貫通孔をマスクして露光、現像し、ランド及び貫通孔のみを前記ソルダーレジストから露出させ、これら露出部分に化学銅めっきする方法がある。しかし、この方法の問題点は、露光時に露光光の一部が基材を透過して貫通孔内のソルダーレジストをも部分的

の問題が残り、合理的な製造プロセスが望まれる。

本発明の目的はこれら従来技術及び先に本発明者らが提案した発明の問題点を除去することにより、高密度のプリント回路板を合理的な製造プロセスで製造する改良されたプリント回路板の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、銅張り積層板に貫通孔を開けた後、第1の化学銅めっきを薄く付け、ホトレジストによる基板表面に微細な回路パターンを形成した後、ランド及び貫通孔にのみ必要所定厚みの第2の化学銅めっきを行うことにより達成される。以下に、本発明方法の特徴点を具体的に説明する。

（1）銅張り積層板の所定位置に貫通孔を設ける工程；次いで前記貫通孔内壁面を含む前記基板全面に第1の化学銅めっきを施す工程；前記貫通孔を含む前記基板全面にホトレジストを塗布し、所定の回路パターンを得るためのマスクを介しての露光、現像及びエッチングの各処理を経て所定の回路パターンを形成する工程；次いで前記回路

パターン上に残留する前記ホトレジストを除去する工程；更に前記貫通孔と前記貫通孔開口部に存するランド部とを除いた前記回路パターンを含む基板の全面にソルダーレジスト膜を形成する工程；及び前記貫通孔とランド部に第2の化学銅めっきを施す工程から成ることを特徴とする。

(2) 上記第1の化学銅めっき工程の後に続くホトレジスト塗布工程として、電着型UVレジストを用い電着塗布することを特徴とする。

(3) 上記ソルダーレジスト膜を形成する工程として、感光性ソルダーレジストを上記基板全面に塗布し、上記貫通孔を含む上記ランド部をマスクして露光及び現像処理することにより、前記貫通孔と前記貫通孔開口部に存するランド部とを除いた前記回路パターンを含む基板全面に前記感光性ソルダーレジストの硬化膜を形成することを特徴とする。

(4) 上記ソルダーレジスト膜を形成する工程として、スクリーン印刷により、上記貫通孔とランド部とを除いた上記回路パターンを含む基板前

面にソルダーレジスト膜を形成することを特徴とする。

(5) 上記第1の化学銅めっきの厚さを少なくとも0.5 μ m析出させることを特徴とする。

(6) 上記感光性ソルダーレジストとして、UVソルダーレジストを用いることを特徴とする。

上記のとおり、第1の化学銅めっきの一つの役割としては、回路パターン形成工程において、ホトレジストの露光時に光の一部が基板を通して貫通孔内壁に漏れて来ても、この銅めっき膜が遮光作用をするため、貫通孔内のホトレジストは硬化することなく、現像時に容易に除去できる。かかる第1の化学銅めっきの他の一つの役割としては、後述するようにホトレジスト塗布工程において、電着型レジストを用いる場合に貫通孔内壁に導電性を持たせ電着塗布を可能とすることにある。つまり、化学銅めっき処理前の貫通孔は、基板の基材である絶縁物が露出していることから、電気的に非導通であり、このままでは上記貫通孔内壁にホトレジストの電着塗布ができないからである。

この理由からは第1の化学銅めっきの膜厚は導通に必要な膜厚となる。しかし、前述の遮光可能な膜厚が支配的であることから、必要な膜厚は基板内を漏れてくる露光光を遮光するに必要な最小限の厚みがあればよく、実用的には少なくとも0.5 μ mあればよい。

化学銅めっき液としては第1及び第2の化学銅めっき共に市販品の周知のものが十分に使用可能である。

ホトレジストも周知の市販品で十分に使用に供されるが、好ましくは電着型ホトレジストである。電着型ホトレジストは、薄い膜厚で微細パターンのエッチング加工が可能であり、とりわけ紫外線露光用の電着型UVレジストが高密度回路パターンの形成に好適である。一般にこの種のレジストはアルカリ型であり、例えば関西ペイント社製商品名ソルネED#376などがある。

上記レジストの現像処理も周知技術で、例えば炭酸ソーダ等のアルカリ液で洗浄すればよい。

回路パターン形成時の銅のエッチングも周知技

術で対応でき、例えばアンモニア系のアルカリ液でエッチングすることができる。

ソルダーレジストも周知の市販品で十分に対応でき、上記のとおりスクリーン印刷でランドと貫通孔を除いた基板の全面に形成することができる。しかし、より好ましくは感光性ソルダーレジストであり、周知のホトリソグラフ法により所定箇所にて高精度にソルダーレジストの硬化膜を形成することができる。この種のレジストとしては周知の種々の市販品が使用可能であり、例えばエポキシ樹脂とポリアクリレートを主成分とするUVソルダーレジスト（紫外線露光で硬化するレジストの意）などがある。感光性ソルダーレジストとしては、いずれにしても、或る程度の耐熱性（ソルダ一温度に耐える）と感光性とを備えたものであればよい。

〔作用〕

前述したように、基板への貫通孔あけ後の第1の化学銅めっき工程は、回路パターン形成工程におけるホトレジスト露光時の貫通孔内の遮光作

用により、現像処理時にホトレジストの残存がなく、従来この硬化レジストの残存によりその後の化学銅めっき時に問題となっていたボイドの発生を完全に防止することができた。また、このめっき膜で貫通孔内壁を導通可能とすることにより、回路パターン形成時にホトレジストの電着塗布を可能とし、高密度回路パターン形成に好適な電着型ホトレジストの性能を十分に発揮させることができた。さらにまた、感光性ソルダーレジスト、特にUVソルダーレジストを使用した高密度プリント回路板の製造方法において、回路パターン形成、ソルダーレジスト工程を連続的に処理可能とするもので、工程の合理化の上から信頼性の高い高密度プリント回路板の製造を工業的に実現可能とした。

(実施例)

以下、本発明の一実施例を第1図(a)～(g)に示した工程に従い説明する。

第1図(a)は、絶縁基材1の両面に銅箔2を積層した構造の基板を示したもので、通称銅張り

積層板と呼ばれているものである。第1図(b)は上記基板にドリルで穴あけし貫通孔3を設けた工程図である。第1図(c)は、貫通孔3を含む基板全面に第1の化学銅めっき4aを施した工程図である。この化学銅めっきは下記の周知の化学銅めっき液及びめっき条件を用い、膜厚0.5 μ mの銅めっき膜を形成した。なお、この図には省略されているが、この銅めっきの前処理工程として、貫通孔を設けた後に基板全面に予め活性化処理として、化学銅めっきのための触媒処理が施されている。

(1) 化学銅めっき液組成

CuSO ₄ ・5H ₂ O	: 13g/l
EDTA-2Na	: 40g/l
NaOH	: 11.5g/l
ポリエチレングリコール	
ステアシルアミン	: 0.1g/l
α , α' -ジピリジル	: 5mg/l
HCHO (37%)	: 5mg/l
水	全体を1lに

(2) 条件

めっき液温度	: 70℃
pH	: 12.3
時間	: 10分
めっき速度	: 3 μ m/h

第1図(d)は、第1の化学銅めっきの後にホトレジストとして電着型UVレジスト5を貫通孔3を含む基板全面に塗布した工程図である。なお、使用したホトレジストは関西ペイント社製の商品名ゾンネED #376で、電着条件は55mA/dm²、1～3分、極間距離10cm、150Vである。

第1図(e)は、回路パターンの描かれたホドマスク(図示せず)を用いて、紫外線露光を行い、表面回路パターン部5aとランド及び貫通孔部5bのレジストを硬化させ、未露光部分のレジストを現像処理して除去したレジストパターン形成工程図である。なお、上記現像処理は炭酸ソーダで基板を洗浄することにより行った。

第1図(f)は、上記レジスト5a、5bをマスクとして、露出している銅層をエッチング除去し

て回路パターンを形成し、更にこの回路パターン上に残ったレジストを剥離により除去した回路パターン形成工程図である。なお、エッチング液としてはアンモニア系のアルカリエッチング液(pH8.1)を用い、レジストの剥離は、苛性ソーダ液で洗浄することにより行った。

第1図(g)は、最終工程図を示したもので、本発明方法により得られたプリント回路板の構造を示しており、処理工程としては、上記第1図(f)の工程を経た基板の全面にUVソルダーレジストを塗布し、ランド部7及び貫通孔3をマスクするマスクパターン(図示せず)を介して紫外線露光及びそれに続く現像処理を行い、ランド部7と貫通孔3を除いて基板の主表面にUVソルダーレジストの硬化膜6を残し、更に露出した上記ランド部7と貫通孔3の表面に第2の化学銅めっき処理を上記第1の化学銅めっき工程と同様の方法で施し(ただし、めっき時間のみ8時間20分とした)、25 μ mの銅めっき層4bを形成したソルダーレジスト塗布と第2の化学銅めっき工程図である。

なお、UVソルダーレジストとしては、市販のエポキシ樹脂とポリアクリレートを主成分とする系のものを使用した。また、現像処理は炭酸ソーダ液で洗浄することにより行った。これらの処理工程を経て得られたプリント回路板は、超高密度化とボイド不良の低減とを図ることができるものであった。

なお、上記実施例は本発明の一例を示したに過ぎず、本発明の構成を変更しない限りにおいて、同様の効果が得られることは言うまでもない。例えば、上記第1図(e)のソルダーレジストとしてUVソルダーレジストを用いたが、感光性のあるソルダーレジストであればUV(紫外線)レジストに限らずいずれのものでもよい。また、微細加工の面では感光性レジストを用いたホトリソグラフィによるエッチング加工の方が好ましい結果が得られるが、加工性を多少緩和することが許されるなら、感光性レジストに限らずその他周知のレジストを用いスクリーン印刷により所望箇所のみレジストを印刷塗布してもよい。

4a…第1の化学銅めっき

4b…第2の化学銅めっき

5…電着型UVレジスト

5a…表面回路パターン部レジスト

5b…ランドおよび貫通孔部レジスト

6…UVソルダーレジストの硬化膜

7…ランド部

〔発明の効果〕

本発明によれば、第1の化学銅めっきにより、貫通孔内の残存レジストによるボイド不良が低減できること及び基板表面回路部分の銅箔と密付け化学銅めっきのみで、回路パターンを形成できることにより、超高密度化プリント回路板の製造を実現可能とする効果がある。さらに、回路パターン形成工程とソルダーレジスト形成工程とを寸断することなく、連続的に作業することができ、工程の合理化の上からも多大な効果を有し、信頼性の高い高密度プリント回路板の製造を工業的に実現可能としたものであり、産業上貢献するところ多大である。

4. 図面の簡単な説明

第1図(a)、(b)、(c)、(d)、(e)、(f)及び(g)はそれぞれ本発明の一実施例となる工程図を示したものである。

図において、

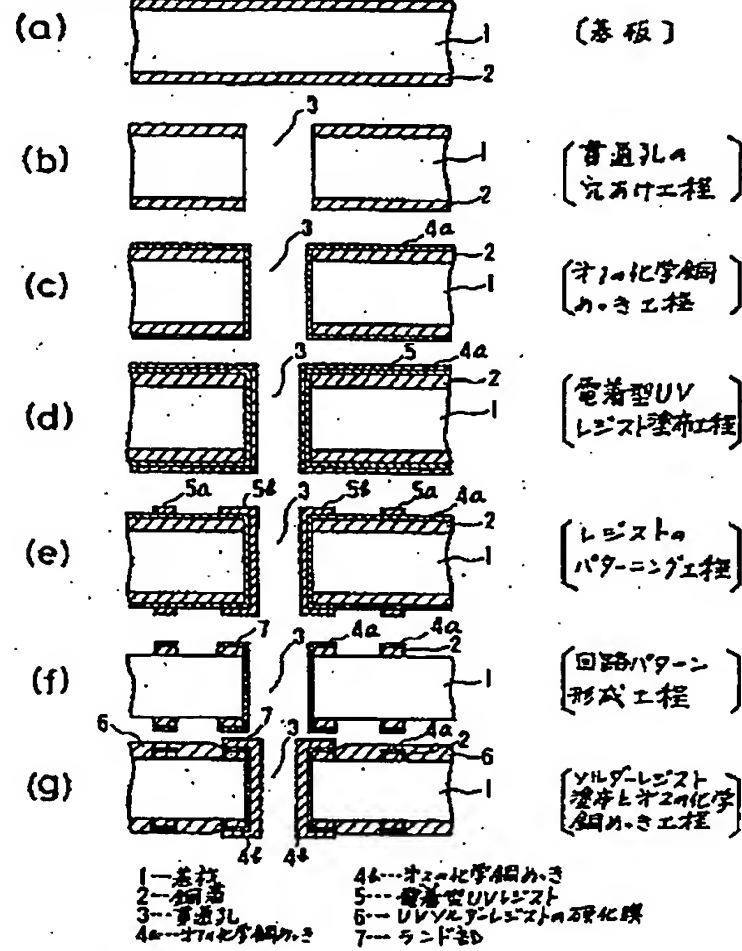
1…基材

2…銅箔

3…貫通孔

代理人弁護士 中村純之助

第1図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.